

3

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2001年3月15日 (15.03.2001)

PCT

(10) 国際公開番号
WO 01/18864 A1

- (51) 国際特許分類: H01L 25/04
(21) 国際出願番号: PCT/JP00/05954
(22) 国際出願日: 2000年9月1日 (01.09.2000)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ:
特願平11/249702 1999年9月3日 (03.09.1999) JP
(71) 出願人 (米国を除く全ての指定国について): セイコーエプソン株式会社 (SEIKO EPSON CORPORATION) [JP/JP]; 〒163-0811 東京都新宿区西新宿2丁目4番1号 Tokyo (JP).
(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 中山浩

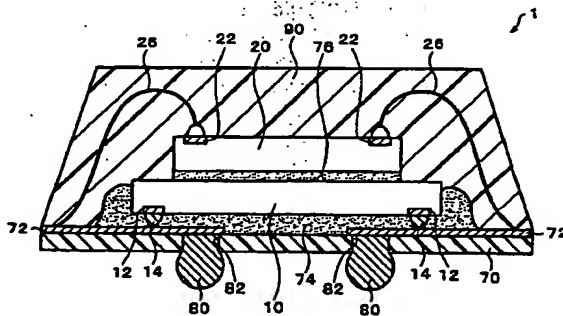
- 久 (NAKAYAMA, Hirohisa) [JP/JP]. 谷口 潤 (TANIGUCHI, Jun) [JP/JP]. 阿部孝詩 (ABE, Takashi) [JP/JP]. 中山敏紀 (NAKAYAMA, Toshinori) [JP/JP]; 〒998-0194 山形県酒田市十里塚166番地3 東北エプソン株式会社内 Yamagata (JP).
(74) 代理人: 井上 一, 外 (INOUE, Hajime et al.); 〒167-0051 東京都杉並区荻窪5丁目26番13号 荻窪TMビル2階 Tokyo (JP).
(81) 指定国 (国内): JP, KR, US.

添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: SEMICONDUCTOR DEVICE, METHOD OF MANUFACTURE THEREOF, CIRCUIT BOARD, AND ELECTRONIC DEVICE

(54) 発明の名称: 半導体装置及びその製造方法、回路基板並びに電子機器



(57) Abstract: A first semiconductor chip (10) is mounted on a substrate (70) having a wiring pattern (72) in such a manner that the substrate is opposed to electrodes (12) formed on one surface of the first chip. A second semiconductor chip (20) is mounted on the first semiconductor chip (10), and electrodes (22) are connected electrically with the wiring pattern (72) through wires (26). The first resin filled between the substrate (70) and the first semiconductor chip (10) is different from the second resin that molds the first and second semiconductor chips (10, 20).

(57) 要約:

配線パターン (72) が形成された基板 (70) には、電極 (12) を有する面を対向させて第1の半導体チップ (10) が搭載されている。第1の半導体チップ (10) 上には、第2の半導体チップ (20) が搭載されており、その電極 (22) は、ワイヤ (26) で配線パターン (72) と電気的に接続されている。基板 (70) と第1の半導体チップ (10) との間に設けられた第1の樹脂と、第1及び第2の半導体チップ (10、20) を封止する第2の樹脂とは異なるものである。

WO 01/18864 A1

明 細 書

半導体装置及びその製造方法、回路基板並びに電子機器

5 [技術分野]

本発明は、半導体装置及びその製造方法、回路基板並びに電子機器に関する。

[背景技術]

電子機器の小型化に伴い、複数の半導体チップを高密度に組み込んだマルチチップ
10 モジュールの開発が進められている。その一つの形態として複数の半導体チップを積み重ねてワンパッケージ化したStacked-CSP (Chip Scale/ Size Package) がある。

例えば、特開平9-260441号公報に開示される半導体装置では、第1の半導体チップの上に該第1の半導体チップの外形より小さい第2の半導体チップが搭載されてワンパッケージ化されている。これによると、下側に位置する第1の半導体チップが安定しないため、上側に位置する半導体チップに対するワイヤボンディングを行いにくいことがあった。
15

[発明の開示]

本発明は、この問題点を解決するものであり、その目的は、ワイヤボンディングを
20 確実に行って複数の半導体チップをワンパッケージ化する半導体装置及びその製造方法、回路基板、並びに電子機器を提供することにある。

(1) 本発明に係る半導体装置は、

配線パターンが形成された基板に、複数の電極を有する面を対向させて搭載され、前記電極が前記配線パターンに電氣的に接続された第1の半導体チップと、

25 前記第1の半導体チップ上に搭載されており、複数の電極を有する面が前記第1の半導体チップとは反対側を向き、前記複数の電極はワイヤで前記配線パターンと電氣的に接続された第2の半導体チップと、

前記基板と前記第 1 の半導体チップとの間に設けられた第 1 の樹脂と、

前記基板上であって前記第 1 及び第 2 の半導体チップを封止した、前記第 1 の樹脂とは異なる第 2 の樹脂と、

を含む。

- 5 これによれば、第 1 の半導体チップと基板との間に設けられる第 1 の樹脂の物性は、第 1 及び第 2 の半導体チップを封止した第 2 の樹脂と異なる。これによると、第 1 の樹脂に密着する部材と、第 2 の樹脂に密着する部材とのそれぞれに適した物性を有するように、第 1 の樹脂と第 2 の樹脂を選択することができる。したがって、例えば、第 2 の半導体チップをワイヤボンディングするときの超音波による振動にも、第 1 の樹脂を選定することによって十分に対応することができる。ゆえに、ワイヤボンディングを確実に行うことができ、歩留まりの高い半導体装置を得ることができる。
- 10

なお、第 1 及び第 2 の半導体チップとは任意の二つの半導体チップを意味し、本発明は二つの半導体チップに限定するものではなく、複数の半導体チップにも適用が可能である。

- 15 (2) この半導体装置において、

前記第 1 の樹脂は、導電粒子が含まれた異方性導電材料であり、

前記第 1 の半導体チップの電極は、前記導電粒子を介して前記配線パターンに電氣的に接続されてもよい。

- これによれば、第 1 の半導体チップの固定と、第 1 の半導体チップと配線パターンとの電氣的接続を同時に図ることができる。また、異方性導電材料が配線パターンを備える基板と第 1 の半導体チップとの間に配置されることにより、第 1 の半導体チップと基板との熱応力の差を緩和する機能を持たせることができる点で、半導体装置としての信頼性向上を図ることができる。
- 20

(3) この半導体装置において、

- 25 前記基板には複数の貫通孔が形成されており、前記配線パターンは前記基板の一方の面に形成されるとともに前記配線パターンの一部は前記貫通孔上を通り、

前記配線パターン上に設けられ、前記基板における前記配線パターンの側の面とは反対側の面から、前記貫通孔を介して突出する複数の外部端子を有してもよい。

(4) この半導体装置において、

前記配線パターンに電氣的に接続される複数の外部端子を設けるための複数のランド部を有してもよい。

(5) この半導体装置において、

5 前記基板は、ガラスエポキシ基板であってもよい。

(6) この半導体装置において、

前記第2の半導体チップは接着剤を介して前記第1の半導体チップに貼り付けられてもよい。

(7) この半導体装置において、

10 前記第1の半導体チップの外形は前記第2の半導体チップより大きくてもよい。

(8) この半導体装置において、

前記第1の樹脂は、前記第1の半導体チップの側面に及ぶまで設けられてもよい。

これによれば、第1の半導体チップと第1の樹脂との接着面積が大きくなるので、第1の半導体チップは基板上にさらに確実に固定される。したがって、例えば、第2
15 の半導体チップをワイヤボンディングするときの超音波による振動にも十分に対応することができる。

(9) この半導体装置において、

前記第1及び第2の半導体チップの外形の大きさは等しくてもよい。

(10) この半導体装置において、

20 前記第1の樹脂は、前記第1の半導体チップの側面と前記第2の半導体チップの側面とのうち、少なくとも前記第1の半導体チップの側面に及ぶまで設けられてもよい。

これによれば、第1の半導体チップと第1の樹脂との接着面積が大きくなるので、第1の半導体チップは基板上にさらに確実に固定される。さらに、第2の半導体チップの側面にまで第1の樹脂が設けられてもよく、この場合は第2の半導体チップまでも固定することができる。したがって、例えば、第2の半導体チップをワイヤボンディングするときの超音波による振動にも十分に対応することができる。ゆえに、第1
25 及び第2の半導体チップの大きさが等しくても、ワイヤボンディングを確実に行うことができ、歩留まりの高い半導体装置を得ることができる。

(11) この半導体装置において、

前記第1の半導体チップの外形は前記第2の半導体チップより小さくてもよい。

(12) この半導体装置において、

前記第1の樹脂は、前記第1の半導体チップの側面と、前記第2の半導体チップに
5 おける前記基板の方を向く面であって前記第1の半導体チップとの対面を避けている領域と、に及ぶまで設けられてもよい。

これによれば、第1の半導体チップと第1の樹脂との接着面積が大きくなるので、
第1の半導体チップは基板上にさらに確実に固定される。さらに、第2の半導体チップ
における基板の側の面であって第1の半導体チップから突出する領域にまで第1
10 の樹脂が設けられてもよく、この場合は第2の半導体チップまでも固定することができる。したがって、例えば、第2の半導体チップをワイヤボンディングするときの超音波による振動にも十分に対応することができる。ゆえに、第1の半導体チップの外形が第2の半導体チップより小さくても、ワイヤボンディングを確実に行うことができ、歩留まりの高い半導体装置を得ることができる。

15 (13) 本発明に係る回路基板は、上記半導体装置が搭載されている。

(14) 本発明に係る電子機器は、上記半導体装置を有する。

(15) 本発明に係る半導体装置の製造方法は、

第1の半導体チップを、配線パターンが形成された基板にフェースダウンボンディングする工程と、

20 第2の半導体チップを、前記第1の半導体チップ上に搭載する工程と、

前記第2の半導体チップと前記配線パターンとをワイヤで電氣的に接続する工程と、

前記第1の半導体チップと前記基板との間に、第1の樹脂を設ける工程と、

前記第1及び第2の半導体チップを、前記第1の樹脂とは異なる第2の樹脂で封止
25 する工程と、

を含む。

これによれば、第1の半導体チップと基板との間に設ける第1の樹脂の物性は、第1及び第2の半導体チップを封止した第2の樹脂と異なる。これによると、第1の樹

脂に密着する部材と、第2の樹脂に密着する部材とのそれぞれに適した物性を有するように、第1の樹脂と第2の樹脂を選択することができる。したがって、例えば、第2の半導体チップをワイヤボンディングするときの超音波による振動にも、第1の樹脂を選定することによって十分に対応することができる。ゆえに、ワイヤボンディングを確実に行うことができ、歩留まりの高い半導体装置を製造することができる。

(16) この半導体装置の製造方法において、

前記第1の樹脂は、導電粒子が含まれた異方性導電材料であり、

前記第1工程で、前記第1の半導体チップの電極を、前記導電粒子を介して前記配線パターンに電氣的に接続してもよい。

これによれば、第1の半導体チップの固定と、第1の半導体チップと配線パターンとの電氣的接続を同時に図ることができ、製造工程を削減することができる。

(17) この半導体装置の製造方法において、

前記第2の半導体チップを搭載する工程で、前記第2の半導体チップを、接着剤を介して前記第1の半導体チップに貼り付けてもよい。

(18) この半導体装置の製造方法において、

前記第1の半導体チップの外形は前記第2の半導体チップより大きく、

少なくとも、前記第1の半導体チップを搭載する工程と第1の樹脂を設ける工程後において、

前記第1の半導体チップと前記基板との少なくともいずれか一方を他方に向けて

押圧して、

前記第1の樹脂を前記第1の半導体チップの側面に及ぶまで設けてもよい。

これによれば、基板における第1の半導体チップの搭載領域に加えて、第1の半導体チップの外周であってその側面に、はみ出でるように第1の樹脂を設ける。これにより、第1の半導体チップと第1の樹脂との接着面積が大きくなるので、第1の半導体チップは基板上にさらに確実に固定される。したがって、例えば、第2の半導体チップをワイヤボンディングするときの超音波による振動にも十分に対応することができる。

(19) この半導体装置の製造方法において、

前記第 1 及び第 2 の半導体チップの外形の大きさは等しく、

少なくとも、前記第 1 の半導体チップを搭載する工程と第 1 の樹脂を設ける工程後において、

前記第 1 の半導体チップと前記基板との少なくともいずれか一方を他方に向けて
5 押圧して、

前記第 1 の樹脂を前記第 1 の半導体チップの側面と前記第 2 の半導体チップの側面とのうち、少なくとも前記第 1 の半導体チップの側面に及ぶまで設けてもよい。

これによれば、基板における第 1 の半導体チップの搭載領域に加えて、第 1 の半導体チップの外周であってその側面に、はみ出でるように第 1 の樹脂を設ける。これにより、第 1 の半導体チップと第 1 の樹脂との接着面積が大きくなるので、第 1 の半導体チップは基板上にさらに確実に固定される。さらに、第 2 の半導体チップの側面にまで第 1 の樹脂を設けてもよく、この場合は第 2 の半導体チップまでも固定することができる。したがって、例えば、第 2 の半導体チップをワイヤボンディングするときの超音波による振動にも十分に対応することができる。ゆえに、第 1 及び第 2 の半導体チップの大きさが等しくても、ワイヤボンディングを確実に行うことができ、歩留
10 15 まりの高い半導体装置を製造することができる。

(20) この半導体装置の製造方法において、

前記第 1 の半導体チップの外形は前記第 2 の半導体チップより小さく、

少なくとも、前記第 1 の半導体チップを搭載する工程と第 1 の樹脂を設ける工程後
20 において、

前記第 1 の半導体チップと前記基板との少なくともいずれか一方を他方に向けて押圧して、

前記第 1 の樹脂を、前記第 1 の半導体チップの側面と、前記第 2 の半導体チップにおける前記基板の方を向く面であって前記第 1 の半導体チップから突出する領域と、
25 に及ぶまで設けてもよい。

これによれば、基板における第 1 の半導体チップの搭載領域に加えて、第 1 の半導体チップの外周であってその側面に、はみ出でるように第 1 の樹脂を設ける。これにより、第 1 の半導体チップと第 1 の樹脂との接着面積が大きくなるので、第 1 の半導

体チップは基板上にさらに確実に固定される。さらに、第2の半導体チップにおける基板の側の面であって第1の半導体チップから突出する領域にまで第1の樹脂を設けてもよく、この場合は第2の半導体チップまでも固定することができる。したがって、例えば、第2の半導体チップをワイヤボンディングするときの超音波による振動にも十分に対応することができる。ゆえに、第1の半導体チップの外形が第2の半導体チップより小さくても、ワイヤボンディングを確実に行うことができ、歩留まりの高い半導体装置を得ることができる。

(21) この半導体装置の製造方法において、

前記ワイヤで接続する工程で、前記ワイヤを超音波を用いてボンディングしてもよい。

(22) この半導体装置の製造方法において、

前記ワイヤで接続する工程で、前記第2の半導体チップの電極と前記ワイヤとをボンディングした後、前記ワイヤと前記配線パターンとをボンディングしてもよい。

これによれば、第2の半導体チップの電極上に、バンプを別工程で形成することなくワイヤボンディングすることができる。

[図面の簡単な説明]

図1は、本発明の第1の実施の形態に係る半導体装置を示す図である。

図2は、本発明の第2の実施の形態に係る半導体装置を示す図である。

図3は、本発明の第3の実施の形態に係る半導体装置を示す図である。

図4は、本発明を適用した回路基板を示す図である。

図5は、本発明に係る半導体装置を有する電子機器を示す図である。

図6は、本発明に係る半導体装置を有する電子機器を示す図である。

[発明を実施するための最良の形態]

以下、本発明の好適な実施の形態について図面を参照して説明する。

(第1の実施の形態)

図1は、本発明の第1の実施の形態に係る半導体装置を示す図である。この半導体装置1は、第1の半導体チップ10と、第2の半導体チップ20と、基板70とを含む。

- 5 第1の半導体チップ10の一方の面(能動面)には、複数の電極12が形成されている。複数の電極12は、半導体チップ10の平面形状が矩形(正方形又は長方形)である場合には、少なくとも一辺(対向する二辺又は全ての辺を含む)に沿って形成されている。あるいは、マトリクス状(エリア状)に二次元的に形成されていてもよい。電極12には、ハンダボール、金ワイヤーボール、金メッキなどによってバンプ
10 が設けられていてもよく、電極12自体がバンプの形状をなしていてもよい。電極12とバンプとの間にバンプ金属の拡散防止層として、ニッケル、クロム、チタン等を付加してもよい。電極12を避けて、第1の半導体チップ10には、SiN、SiO₂、MgOなどのパッシベーション膜(図示しない)が形成されていてもよい。パッシベーション膜は電気的な絶縁膜である。パッシベーション膜は、本発明の必須要件
15 ではないが、形成されていることが好ましい。

第2の半導体チップ20は第1の半導体チップ10と同様の構成であってもよいが、ワイヤ26を好適に形成するため、電極22は少なくとも一辺(対向する二辺又は全ての辺を含む)に沿って形成されることが好ましい。なお、本実施の形態では、第2の半導体チップ20の外形は第1の半導体チップ10より小さい。

- 20 基板70は、有機系又は無機系のいずれの材料から形成されたものであってもよく、これらの複合構造からなるものであってもよい。基板70は、個片で用いてもよく、又は半導体チップを搭載する領域がマトリクス状に複数形成された短冊状で用いてもよい。短冊状の場合は、別工程で個片に打ち抜かれる。有機系の材料から形成された基板70として、例えばポリイミド樹脂からなるフレキシブル基板が挙げられる。
25 フレキシブル基板として、TAB技術で使用されるテープを使用してもよい。また、無機系の材料から形成された基板70として、例えばセラミック基板やガラス基板が挙げられる。有機系及び無機系の材料の複合構造として、例えばガラスエポキシ基板が挙げられる。基板70の平面形状は問わないが、第1及び第2の半導体チップ10

及び 20 の相似形であることが好ましい。また、基板 70 として絶縁樹脂と配線パターンを積層して構成されるビルドアップ多層構造の基板や、複数の基板が積層された多層基板を使用してもよい。

基板 70 には配線パターン 72 が形成されている。本実施の形態では配線パターン 72 は基板の一方の面に形成されているが、両面に形成されていてもよい。配線パターン 72 は、複数層から構成されることが多い。例えば、銅 (Cu)、クロム (Cr)、チタン (Ti)、ニッケル (Ni)、チタンタングステン (Ti-W) のうちのいずれかを積層して配線パターン 72 を形成することができる。例えば、フォトリソグラフィを適用して配線パターン 72 を形成してもよく、スパッタによって配線パターン 72 を基板 70 に直接形成してもよく、メッキ処理によって配線パターン 72 を形成してもよい。また、配線パターン 72 の一部は配線となる部分よりも面積の大きいランド部 (図示しない) となっていてよい。このランド部は電氣的接続部を十分に確保する機能を有する。したがって、ランド部は電極 12 との接続部に形成されてもよく、ワイヤ 26 との接続部に形成されていてもよい。

複数の外部端子 80 は配線パターン 72 と電氣的に接続される。図 1 では基板 70 に形成された貫通孔 82 を介して、外部端子 80 が配線パターン 72 上に設けられている。この場合には、貫通孔 82 上にランド部が形成されていてもよい。詳しく言うと、外部端子 80 は貫通孔 82 から露出したランド部に設けられ、基板 70 における配線パターン 72 が形成された面とは反対側から突出している。外部端子 80 はハンダで形成してもよく、ハンダボールの材料となるハンダを貫通孔 82 に充填して、ハンダボールと一体化した導電部材を貫通孔 82 内に形成してもよい。また、外部端子 80 は、上述のハンダ以外の金属や導電性樹脂などから形成してもよい。あるいは、配線パターン 72 の一部を貫通孔 82 の内部で屈曲させて外部端子 80 を形成してもよい。例えば、配線パターン 72 の一部を、金型などを使って貫通孔 82 の内部に入り込ませ、基板 70 における配線パターン 72 が形成された面とは反対側の面から突出させ、その突出した部分を外部端子としてもよい。

更に、積極的に外部端子 80 を形成せず、マザーボード実装時にマザーボード側に塗布されるハンダクリームを利用し、その溶融時の表面張力で結果的に外部端子を形

成してもよい。この半導体装置は、外部端子を形成するためのランド部を有する、いわゆるランドグリッドアレイ型の半導体装置である。配線パターン72の一部がランド部となっていてよいし、基板70における配線パターン72が形成された面とは反対側の面にランド部を形成し、貫通孔82を介して、ランド部と配線パターン72とが電氣的に接続されていてもよい。また、貫通孔82を導電材料で埋めて、その表面をランド部としてもよい。

第1の半導体チップ10は電極12の面を基板70に向けて搭載（フェースダウンボンディング）されている。フェースダウンボンディングでは、導電樹脂ペーストによるもの、Au-Au、Au-Sn、ハンダなどによる金属接合によるもの、絶縁樹脂の収縮力によるものなどの形態があり、そのいずれの形態を用いてもよいが、第1の半導体チップ10と基板70との間に第1の樹脂が設けられることが必須となる。本発明において、第1の樹脂が異方性導電材料74でない場合は、第1の半導体チップ10の搭載後であって、第1の半導体チップ10と基板70との間に第1の樹脂を充填させてもよい。半導体装置1では、第1の樹脂は異方性導電材料74である。異方性導電材料74は基板70上の第1の半導体チップ10の外周から第1の半導体チップ10の側面に及ぶまで設けられていてもよいが、これは必須ではない。すなわち、本発明において、第1の樹脂は基板70上の第1の半導体チップ10の搭載領域内のみに設けられていてもよい。

本実施の形態によれば、第1の半導体チップ10と基板70の間には異方性導電材料74が設けられ、さらに異方性導電材料74は第1の半導体チップ10の外周にも設けられている。これによると、第1の半導体チップ10と異方性導電材料74との接着面積が大きくなるので、第1の半導体チップ10はその大きさに関わらず基板上に確実に固定される。したがって、例えば、第2の半導体チップ20をワイヤボンディングするときの超音波による振動にも十分に対応することができる。ゆえに、第1及び第2の半導体チップ10及び20の外形に制約を受けることなく、歩留まりの高い半導体装置1を得ることができる。

異方性導電材料74は、接着剤（バインダ）に導電粒子（フィラー）が分散されたもので、分散剤が添加される場合もある。異方性導電材料74の接着剤として、熱硬

化性の接着剤が使用されることが多い。また、異方性導電材料 7 4 として、予めシート状に形成された異方性導電膜が使用されることが多いが、液状のものを使用してもよい。異方性導電材料 7 4 は、電極 1 2 と配線パターン 7 2 との間で押しつぶされて、導電粒子によって両者間での電氣的導通を図るようになっている。

- 5 第 2 の半導体チップ 2 0 は、電極 2 2 の面が第 1 の半導体チップ 1 0 とは反対側に向いて、第 1 の半導体チップ 1 0 上に搭載されている。言い換えると、第 2 の半導体チップ 2 0 は第 1 の半導体チップ 1 0 にフェースアップボンディングされ、電極 2 2 と配線パターン 7 2 とはワイヤボンディングで接続されている。ワイヤ 2 6 は、金、銅又はアルミニウムなどで構成されることが多いが、導電性の材料であれば特に限定
- 10 されない。第 2 の半導体チップ 2 0 は接着剤 7 6 を介して搭載してもよい。接着剤 7 6 は絶縁性の樹脂であることが好ましい。図 1 では、基板における平面視において、ワイヤ 2 6 は第 2 の半導体チップ 2 0 の電極 2 2 から引き出され、第 1 の半導体チップ 1 0 の外側の異方性導電材料 7 4 のさらに外側の配線パターン 7 2 に接続される。言い換えると、基板 7 0 における平面視において、ワイヤ 2 6 は異方性導電材料 7 4
- 15 の領域を避けて配線パターン 7 2 に接続される。また、ワイヤ 7 4 の形状は問わないが、第 1 及び第 2 の半導体チップ 1 0 及び 2 0 の特に端部に接触しない形状が好ましい。例えば、図 1 に示すようにワイヤを三次元的なループ状に形成することができる。第 2 の半導体チップ 2 0 の電極 2 2 上にバンパが設けられてもよいが、製造工程（後に示す）によってはバンパはなくてもよい。なお、第 1 及び第 2 の半導体チップ 1 0
- 20 及び 2 0 の実装部はポッティングされたエポキシ樹脂などの第 2 の樹脂 9 0 によって封止されている。

図 1 には、外部端子 8 0 が第 1 の半導体チップ 1 0 の搭載領域内にのみ設けられた F A N - I N 型の半導体装置 1 が示されているが、本発明はこれに限定されるものではない。例えば、第 1 の半導体チップ 1 0 の搭載領域外にのみ外部端子 8 0 が設けら

25 れた F A N - O U T 型の半導体装置や、これに F A N - I N 型を組み合わせた F A N - I N / O U T 型の半導体装置にも本発明を適用することができる。

次に、本実施の形態に係る半導体装置の製造方法について説明する。

第 1 の半導体チップ 1 0 を、異方性導電材料 7 4 を介して基板 7 0 に搭載する。詳

しく言うと、第1の半導体チップ10における電極12の形成面を、基板70上であって異方性導電材料74を設けた領域に搭載する。本実施形態によれば、異方性導電材料74によって電極12と配線パターン72とを電氣的に導通させるのと同時に、第1の半導体チップ10と基板70のアンダーフィルを同時に行えるので、信頼性及び生産性に優れた方法で半導体装置を製造することができる。なお、異方性導電材料74が熱硬化性である場合には、第1の半導体チップ10の搭載後に熱によって硬化させることにより、基板70と第1の半導体チップ10との接着を図ることができる。

本実施の形態においては第1の樹脂である異方性導電材料74を基板70上に設けた後に、第1の半導体チップを搭載する。しかしながら、本発明はこれに限定するのではなく、第1の半導体チップ10を基板70に搭載した後に、両者の間に第1の樹脂を設けてもよい。また、予め第1の半導体チップ10上に第2の半導体チップ20を搭載しておき、両者を同時に基板70上に搭載してもよい。このことは全ての実施の形態において共通の事項である。

第1の半導体チップ10と基板70との間に第1の樹脂を予め設けた場合には、いずれか一方を他方の側に押圧することによって両者を接着させてもよい。このときに、基板70における第1の半導体チップ10の外周に異方性導電材料74をはみ出させることのできるように、第1の樹脂を予め設けておいてもよい。第1の半導体チップ10の搭載後に第1の樹脂を設ける場合においても、第1の半導体チップ10外周に及ぶまで第1の樹脂を設けることができる。また、第1の半導体チップ10が基板70の相似形である場合には、基板70の平面における中央に第1の半導体チップ10を搭載させることが好ましい。

第2の半導体チップ20を第1の半導体チップ10上に搭載する。詳しく言うと、第2の半導体チップ20の電極22の形成される面とは反対側の面を前記第1の半導体チップ10に向けて搭載する。第2の半導体チップ20と第1の半導体チップ10とは接着剤76で接着させてもよい。本実施の形態によれば、第1の半導体チップ10は第2の半導体チップ20よりも大きい。したがって、第2の半導体チップ20が第1の半導体チップ10の相似形とすることができる場合には、第2の半導体チップ20は第1の半導体チップ10の中央に搭載することが好ましい。また、接着剤7

6を第1の半導体チップ10の搭載面からはみ出させて、第1の半導体チップ10上における第2の半導体チップ20の外周に及ぶまで設けてもよい。こうすることで、第2の半導体チップ20を第1の半導体チップ10上により強く接着することができる。なお、第2の半導体チップ20を搭載する前において、接着剤76は第1の半導体チップ10と第2の半導体チップ20との少なくとも一方に設ければよい。

第2の半導体チップ20の電極22を配線パターン72にワイヤボンディングする。例えば熱と超音波を用いてボンディングすることができる。ワイヤボンディングは、電極22と配線パターン72とのどちらを先に行ってもよいが、電極22から行うことによって電極22にバンプを形成する工程を省略できる。

10 本発明によれば、第1の半導体チップ10と基板70との間に設ける第1の樹脂の物性は、第1及び第2の半導体チップ10及び20を封止した第2の樹脂90と異なる。これによると、第1の樹脂に密着する部材と、第2の樹脂90に密着する部材とのそれぞれに適した物性を有するように、第1の樹脂と第2の樹脂90を選択することができる。したがって、例えば、第2の半導体チップ20をワイヤボンディングする
15 ときの超音波による振動にも、第1の樹脂を選定することによって十分に対応することができる。ゆえに、ワイヤボンディングを確実に行うことができ、歩留まりの高い半導体装置を製造することができる。

第1及び第2の半導体チップ10及び20の実装部に第2の樹脂90により封止する。封止には、例えば金型を使用すればよい。金型を使用した場合には、第2の樹脂90をモールド樹脂と称してもよい。第2の樹脂90によって、第1及び第2の半導体チップ10及び20を外部環境から保護することができる。

複数の外部端子80を配線パターン72上に設けてもよい。基板70に複数の貫通孔82が形成されている場合は、外部端子80は貫通孔82の内側を通る。詳しく言うと、配線パターン72の貫通孔82から露出した部分から、貫通孔82を通過させ
25 配線パターン82とは反対側に向けて基板70から突出させるように外部端子80を設ける。

本実施の形態では、外部端子80は、ハンダボールである。ハンダボールの形成には、ハンダ球及びフラックス、又はクリームハンダなどを設けてから、これを加熱し

て溶融するリフロー工程が行われる。したがって、上述した異方性導電材料 7 4（熱硬化性である場合）の加熱を省略し、このリフロー工程で、ハンダボールの形成と同時に異方性導電材料 7 4 を加熱してもよい。

（第 2 の実施の形態）

5 図 2 は、本発明の第 2 の実施の形態に係る半導体装置を示す図である。半導体装置 2 は、第 1 の半導体チップ 3 0 と、第 2 の半導体チップ 4 0 と、基板 7 0 とを含む。

第 1 及び第 2 の半導体チップ 3 0 及び 4 0 は、両者の外形の大きさが等しいことを除き、前述の第 1 及び第 2 の半導体チップ 1 0 及び 2 0 と同じであってよい。図 2 にあるように異方性導電材料 7 4 は、基板 7 0 上における第 1 の半導体チップ 3 0 の搭載領域とその外周であって、第 1 の半導体チップ 3 0 の側面と第 2 の半導体チップ 4 0 の側面とに及ぶまで設けられてもよい。

本実施の形態によれば、基板における第 1 の半導体チップの搭載領域に加えて、第 1 の半導体チップの外周であってその側面に、はみ出でるように第 1 の樹脂を設ける。これにより、第 1 の半導体チップと第 1 の樹脂との接着面積が大きくなるので、第 1 の半導体チップは基板上にさらに確実に固定される。さらに、第 2 の半導体チップの側面にまで第 1 の樹脂を設けてもよく、この場合は第 2 の半導体チップまでも固定することができる。したがって、例えば、第 2 の半導体チップをワイヤボンディングするときの超音波による振動にも十分に対応することができる。ゆえに、第 1 及び第 2 の半導体チップの大きさが等しくても、ワイヤボンディングを確実に行うことができ、歩留まりの高い半導体装置を製造することができる。

なお、図 2 に示す例では、異方性導電材料 7 4 などの第 1 の樹脂が、上の第 2 の半導体チップ 4 0 の側面にまでかかっているため、製造工程としては、第 1 及び第 2 の半導体チップ 3 0、4 0 間の接続を行ってから、第 1 の半導体チップ 3 0 を基板 7 0 に接続することが多い。一方、第 1 の樹脂の高さを、下の第 1 の半導体チップ 3 0 の高さを超えないように設けるには、下の第 1 の半導体チップ 3 0 と基板 7 0 とを先に接続し、その後に上の第 2 の半導体チップ 4 0 を搭載してもよい。

（第 3 の実施の形態）

図 3 は、本発明の第 3 の実施の形態に係る半導体装置を示す図である。この半導体

装置3は、第1の半導体チップ50と、第2の半導体チップ60と、基板70とを含む。

第1の半導体チップ50の外形は、第2の半導体チップ60より小さい。図3にあるように異方性導電材料74は、基板70上における第1の半導体チップ30の搭載領域とその外周であって、第2の半導体チップ60を支えるように設けられている。

本実施の形態によれば、基板における第1の半導体チップの搭載領域に加えて、第1の半導体チップの外周であってその側面に、はみ出でるように第1の樹脂を設ける。これにより、第1の半導体チップと第1の樹脂との接着面積が大きくなるので、第1の半導体チップは基板上にさらに確実に固定される。さらに、第2の半導体チップにおける基板の側の面であって第1の半導体チップから突出する領域にまで第1の樹脂を設けてもよく、この場合は第2の半導体チップまでも固定することができる。したがって、例えば、第2の半導体チップをワイヤボンディングするときの超音波による振動にも十分に対応することができる。ゆえに、第1の半導体チップの外形が第2の半導体チップより小さくても、ワイヤボンディングを確実に行うことができ、歩留まりの高い半導体装置を得ることができる。

なお、本実施の形態は第1の半導体チップ50が薄いとき(50 μ m程度)に、少量の異方性導電材料74で第2の半導体チップ60を支えることが可能となるので、異方性導電材料74の領域を無駄に広げることなく効果的に第2の半導体チップ60を固定することができる。

接着剤76は、基本的に半導体チップ間を接着する機能を有するものであれば何でも良いが、上側の第2の半導体チップ60の大きさが下側の第1の半導体チップ50よりも大きい場合には、ペースト状の接着剤よりは、フィルム状のいわゆる固体状の接着剤の方が製造上、管理し易いという効果がある。

図4には、本実施の形態に係る半導体装置1を実装した回路基板100が示されている。回路基板100には例えばガラスエポキシ基板等の有機系基板を用いることが一般的である。回路基板100には例えば銅などからなる配線パターンが所望の回路となるように形成されていて、それらの配線パターンと半導体装置1の外部端子80とを機械的に接続することでそれらの電氣的導通を図る。

そして、本発明を適用した半導体装置 1 を有する電子機器として、図 5 にはノート型パーソナルコンピュータ、図 6 には携帯電話が示されている。

請求の範囲

1. 配線パターンが形成された基板に、複数の電極を有する面を対向させて搭載され、前記電極が前記配線パターンに電氣的に接続された第1の半導体チップと、

- 5 前記第1の半導体チップ上に搭載されており、複数の電極を有する面が前記第1の半導体チップとは反対側を向き、前記複数の電極はワイヤで前記配線パターンと電氣的に接続された第2の半導体チップと、

前記基板と前記第1の半導体チップとの間に設けられた第1の樹脂と、

前記基板上であって前記第1及び第2の半導体チップを封止した、前記第1の樹脂

- 10 とは異なる第2の樹脂と、

を含む半導体装置。

2. 請求項1記載の半導体装置において、

前記第1の樹脂は、導電粒子が含まれた異方性導電材料であり、

前記第1の半導体チップの電極は、前記導電粒子を介して前記配線パターンに電氣的

- 15 的に接続される半導体装置。

3. 請求項1又は請求項2に記載の半導体装置において、

前記基板には複数の貫通孔が形成されており、前記配線パターンは前記基板の一方の面に形成されるとともに前記配線パターンの一部は前記貫通孔上を通り、

前記配線パターン上に設けられ、前記基板における前記配線パターンの側の面とは

- 20 反対側の面から、前記貫通孔を介して突出する複数の外部端子を有する半導体装置。

4. 請求項1又は請求項2に記載の半導体装置において、

前記配線パターンに電氣的に接続される複数の外部端子を設けるための複数のランド部を有する半導体装置。

5. 請求項1又は請求項2に記載の半導体装置において、

- 25 前記基板は、ガラスエポキシ基板である半導体装置。

6. 請求項1又は請求項2に記載の半導体装置において、

前記第2の半導体チップは接着剤を介して前記第1の半導体チップに貼り付けられた半導体装置。

7. 請求項 1 又は請求項 2 に記載の半導体装置において、

前記第 1 の半導体チップの外形は前記第 2 の半導体チップより大きい半導体装置。

8. 請求項 7 記載の半導体装置において、

5 前記第 1 の樹脂は、前記第 1 の半導体チップの側面に及ぶまで設けられた半導体装置。

9. 請求項 1 又は請求項 2 に記載の半導体装置において、

前記第 1 及び第 2 の半導体チップの外形の大きさは等しい半導体装置。

10. 請求項 9 記載の半導体装置において、

10 前記第 1 の樹脂は、前記第 1 の半導体チップの側面と前記第 2 の半導体チップの側面とのうち、少なくとも前記第 1 の半導体チップの側面に及ぶまで設けられた半導体装置。

11. 請求項 1 又は請求項 2 に記載の半導体装置において、

前記第 1 の半導体チップの外形は前記第 2 の半導体チップより小さい半導体装置。

12. 請求項 11 記載の半導体装置において、

15 前記第 1 の樹脂は、前記第 1 の半導体チップの側面と、前記第 2 の半導体チップにおける前記基板の方を向く面であって前記第 1 の半導体チップとの対面を避けている領域と、に及ぶまで設けられた半導体装置。

13. 請求項 1 又は請求項 2 記載の半導体装置を搭載した回路基板。

14. 請求項 1 又は請求項 2 記載の半導体装置を有する電子機器。

20 15. 第 1 の半導体チップを、配線パターンが形成された基板にフェースダウンボンディングする工程と、

第 2 の半導体チップを、前記第 1 の半導体チップ上に搭載する工程と、

前記第 2 の半導体チップと前記配線パターンとをワイヤで電氣的に接続する工程と、

25 前記第 1 の半導体チップと前記基板との間に、第 1 の樹脂を設ける工程と、

前記第 1 及び第 2 の半導体チップを、前記第 1 の樹脂とは異なる第 2 の樹脂で封止する工程と、

を含む半導体装置の製造方法。

16. 請求項 15 記載の半導体装置の製造方法において、

前記第 1 の樹脂は、導電粒子が含まれた異方性導電材料であり、

前記第 1 工程で、前記第 1 の半導体チップの電極を、前記導電粒子を介して前記配線パターンに電氣的に接続する半導体装置の製造方法。

5 17. 請求項 15 に記載の半導体装置の製造方法において、

前記第 2 の半導体チップを搭載する工程で、

前記第 2 の半導体チップを、接着剤を介して前記第 1 の半導体チップに貼り付ける半導体装置の製造方法。

18. 請求項 15 から請求項 17 のいずれかに記載の半導体装置の製造方法において、

10 前記第 1 の半導体チップの外形は前記第 2 の半導体チップより大きく、

少なくとも、前記第 1 の半導体チップを搭載する工程と第 1 の樹脂を設ける工程後において、

前記第 1 の半導体チップと前記基板との少なくともいずれか一方を他方に向けて押圧して、

15 前記第 1 の樹脂を前記第 1 の半導体チップの側面に及ぶまで設ける半導体装置の製造方法。

19. 請求項 15 から請求項 17 のいずれかに記載の半導体装置の製造方法において、

前記第 1 及び第 2 の半導体チップの外形の大きさは等しく、

少なくとも、前記第 1 の半導体チップを搭載する工程と第 1 の樹脂を設ける工程後

20 において、

前記第 1 の半導体チップと前記基板との少なくともいずれか一方を他方に向けて押圧して、

前記第 1 の樹脂を前記第 1 の半導体チップの側面と前記第 2 の半導体チップの側面とのうち、少なくとも前記第 1 の半導体チップの側面に及ぶまで設ける半導体装置

25 の製造方法。

20. 請求項 15 から請求項 17 のいずれかに記載の半導体装置の製造方法において、

前記第 1 の半導体チップの外形は前記第 2 の半導体チップより小さく、

少なくとも、前記第 1 の半導体チップを搭載する工程と第 1 の樹脂を設ける工程後

において、

前記第 1 の半導体チップと前記基板との少なくともいずれか一方を他方に向けて押圧して、

5 前記第 1 の樹脂を、前記第 1 の半導体チップの側面と、前記第 2 の半導体チップにおける前記基板の方を向く面であって前記第 1 の半導体チップから突出する領域と、に及ぶまで設ける半導体装置の製造方法。

2 1. 請求項 1 5 から請求項 1 7 のいずれかに記載の半導体装置の製造方法において、

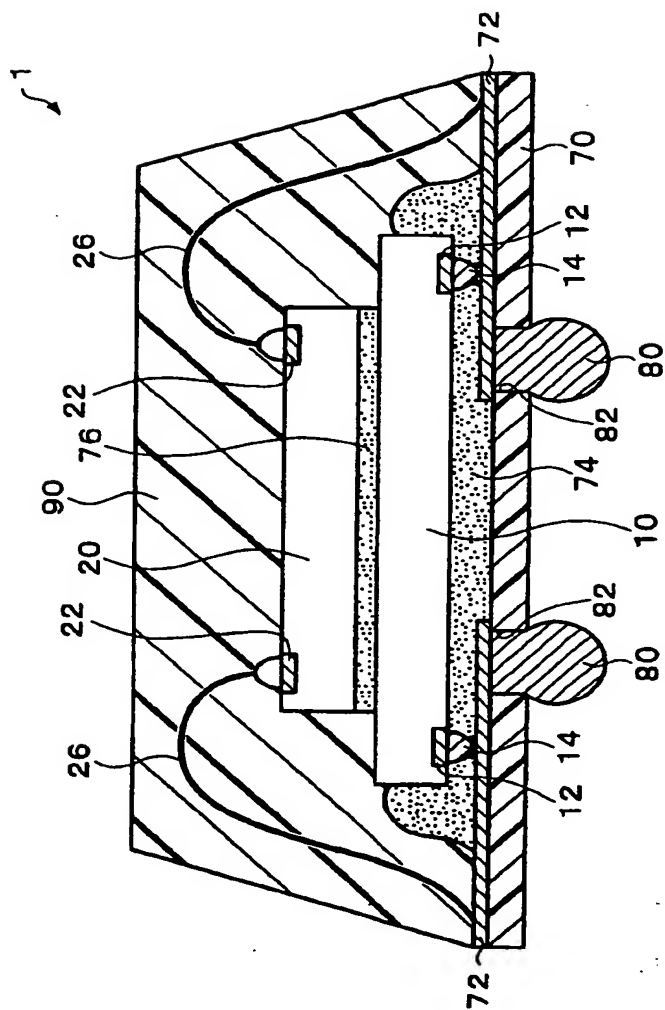
前記ワイヤで接続する工程で、前記ワイヤを超音波を用いてボンディングする半導体装置の製造方法。

10 2 2. 請求項 2 1 記載の半導体装置の製造方法において、

前記ワイヤで接続する工程で、前記第 2 の半導体チップの電極と前記ワイヤとをボンディングした後、前記ワイヤと前記配線パターンとをボンディングする半導体装置の製造方法。

1/5

FIG. 1



2/5

FIG. 2

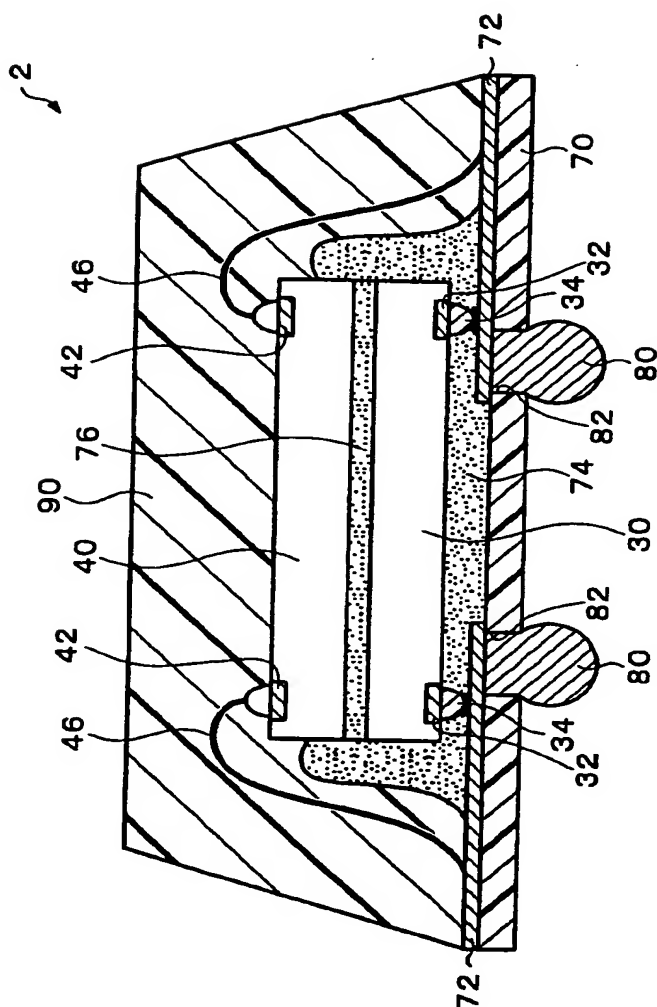
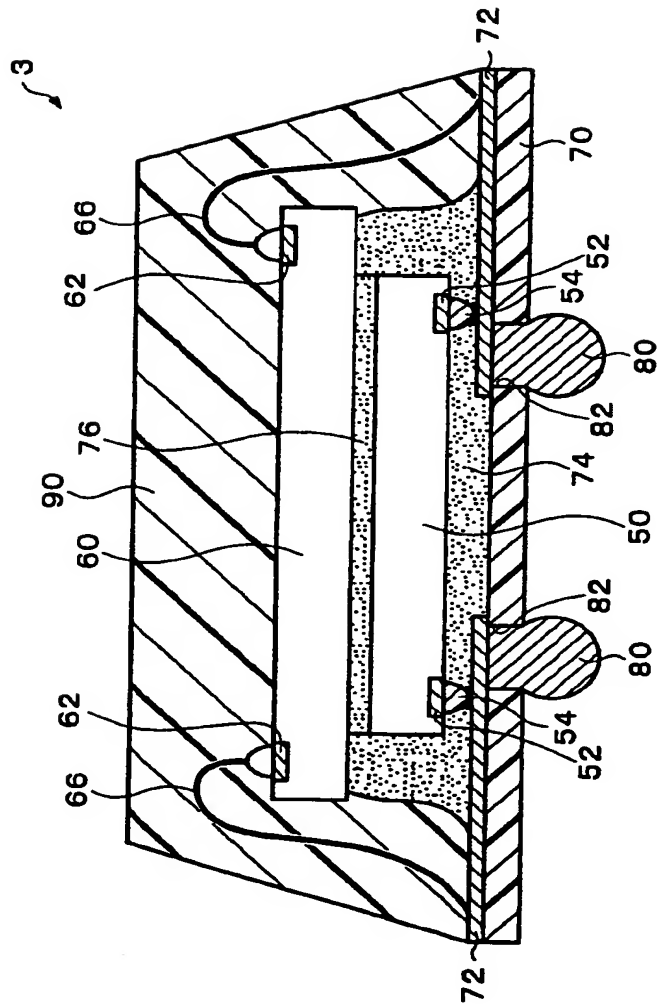


FIG. 3



4/5

FIG. 4

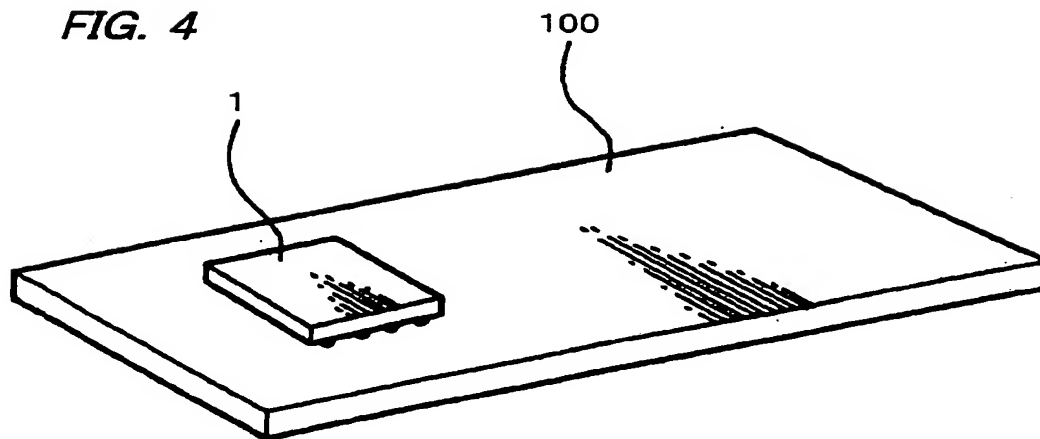
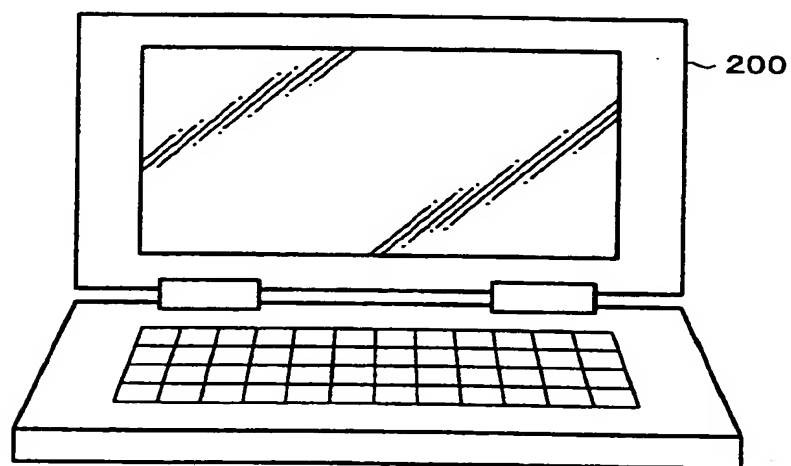
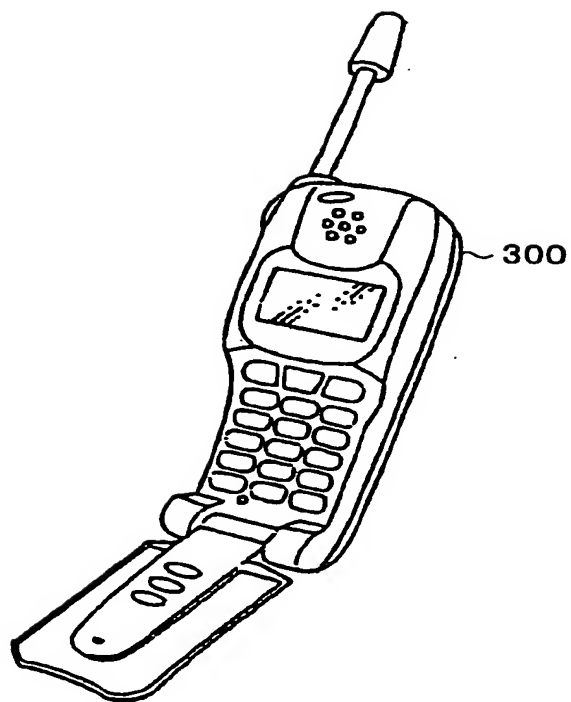


FIG. 5



5/5

FIG. 6



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/05954

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L 25/04

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H01L 25/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
F TERM SYSTEM (Japanese Patent Office)
DIALOG (WPI/L)
QUESTEL (EPAT)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP, 915505, A (SHARP KABUSHIKI KAISHA), 12 May, 1999 (12.05.99),	1, 3, 4, 6, 9, 11, 13-15, 17, 21, 22
Y	Figs. 5, 8, 10-12 and 15,	5, 7
A	Par. Nos. [0112] - [0122], [0130], [0131], [0165] - [0175], [0180] - [0185] & JP, 11-219984, A	2, 8, 10, 12, 16, 18-20
Y	JP, 5-47998, A (Sony Corporation),	5, 7
A	26 February, 1993 (26.02.93), Fig. 1 (Family: none)	1-4, 6, 8-22
A	JP, 6-177323, A (Nippon Chemi-Con Corporation), 24 June, 1994 (24.06.94) (Family: none)	1-22

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
20 September, 2000 (20.09.00)

Date of mailing of the international search report
03 October, 2000 (03.10.00)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

国際調査報告

国際出願番号 PCT/JPO0/05954

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁷ H01L 25/04

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁷ H01L 25/04

最小限資料以外の資料で調査を行った分野に含まれるもの

国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)

Fターム・システム (Japanese Patent Office)

DIALOG (WPI/L)

QUESTEL (EPAT)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
<u>X</u>	EP, 915505, A (SHARP KABUSHIKI KAISHA) 12. 5月. 1999 (12. 05. 99), FIG. 5, 8, 10-12 and 15, Paragraph [0112] - [0122], [0130], [0131], [0165] - [0175] and [0180] - [0185], & JP, 11-219984, A	<u>1, 3, 4, 6, 9,</u> <u>11, 13-15, 17,</u> <u>21, 22</u> <u>5, 7</u> 2, 8, 10, 12, 16, 18-20
<u>Y</u> A		
<u>Y</u> A	JP, 5-47998, A (ソニー株式会社) 26. 2月. 1993 (26. 02. 93), 【図1】 (ファミリーなし)	<u>5, 7</u> 1-4, 6, 8-22

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

20. 09. 00

国際調査報告の発送日

03.10.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

川真田 秀男

4R

7220

電話番号 03-3581-1101 内線 3470

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 6-177323, A (日本ケミコン株式会社) 24. 6月. 1994 (24. 06. 94) (ファミリーなし) ————— END —————	1-22